

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-207084

(43)Date of publication of application : 29.07.1992

(51)Int.Cl. H01L 29/788  
H01L 27/105  
H01L 29/792

(21)Application number : 02-339759 (71)Applicant : SHARP CORP  
(22)Date of filing : 30.11.1990 (72)Inventor : YAMAUCHI YOSHIMITSU  
TANAKA KENICHI  
SAKIYAMA KEIZO

## (54) NON-VOLATILE RANDOM ACCESS MEMORY

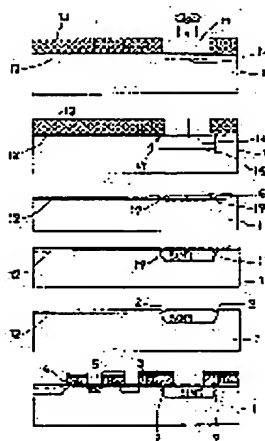
### (57)Abstract:

PURPOSE: To enable an impurities ion implantation pattern to be reduced and a cell to be highly integrated by forming a layout of a tunnel oxide film at an edge part of an impurities ion impregnation pattern for forming a source region of an EEPROM in self-aligned manner.

CONSTITUTION: A mask for ion implantation 13 with a window for ion implantation H is formed on a semiconductor substrate 1 with a gate oxide film 12 and an impurities ion is implanted into a surface layer of the semiconductor substrate 1 at a lower part of the window region through this window H and the gate oxide film 12.

Then, by performing etching through the window for ion implantation, the oxide film 12 of the semiconductor substrate 1 is eliminated by

etching and an opening-shaped substrate exposed part 15 which is wider than the window H is formed and then a central part 16 corresponding to the impurities ion implantation region is oxidized by performing oxidation treatment to this substrate exposure part 15 and a virtually non-oxide selective oxide layer is formed at a peripheral part 17. Then, the semiconductor substrate 1 is subjected to heat treatment, thus forming an impurities diffusion region S. After this, the non-oxidized part 17 of the selective oxidation layer is washed and then oxidation treatment is performed, thus obtaining a tunnel oxide film 2. A thin tunnel oxide film can be formed in self-aligned manner.



## LEGAL STATUS

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-207084

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月29日

H 01 L 29/788  
27/105  
29/792

7514-4M H 01 L 29/78- 3 7 1  
8831-4M 27/10 4 4 1

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 不揮発性ランダムアクセスメモリ

⑯ 特 願 平2-339759

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 山 内 稔 光 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 発 明 者 田 中 研 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑳ 発 明 者 崎 山 恵 三 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
㉒ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

不揮発性ランダムアクセスメモリ

2. 特許請求の範囲

1. トンネル酸化膜及びフローティングゲートを有してなるEEPROMとこのEEPROMにリンクして構成されたDRAMを基板上に有する不揮発性半導体記憶装置からなり、

隣り合うEEPROM間に選択的に形成された熱酸化膜両端に自己整合的に両EEPROMのトンネル領域が設定され、かつこのトンネル領域が上記EEPROMのソース領域形成に用いられる不純物イオン注入パターンに端部に位置してなる不揮発性ランダムアクセスメモリ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、不揮発性ランダムアクセスメモリに関する。更に詳しくは、EEPROMとDRAMとを組み合わせ構成してなる不揮発性のランダムアクセスメモリに関する。

(ロ) 従来の技術

最近、ランダムアクセスできる不揮発性の半導体装置として、EEPROMとDRAMを組み合わせたいわゆる不揮発性ランダムアクセスメモリが注目を集めている。

かかる不揮発性ランダムアクセスメモリ(以下、NV-DRAM)は、EEPROMとSRAMとを組み合わせた従来の不揮発性装置に比して、そのセルサイズが縮小化されたものであり、高集積化を可能にするものである。

かかるNV-DRAMの代表例を第6図に示した。図に示すように、NV-DRAMは、半導体基板1上にEEPROMを構成するPLOT-OX構造のトランジスタMTと、DRAMを構成するMOSTランジスタT<sub>1</sub>及びT<sub>2</sub>を形成してなる。図中、2aはトンネル酸化膜、3はフローティングゲート、4はセレクトゲート、5はリコールゲート、6はコントロールゲートを各々示し、7はビットライン、8はDRAMの電荷蓄積ノードとなるポリシリコン層を各々示すものである。かか

るNV-DRAMの等価回路を第7図に示した。

(ハ) 発明が解決しようとする課題

かかる従来のNV-DRAMにおいて、上記トンネル酸化膜は、EEPROMのソース領域S形成のためのイオン注入後に、フォトリソグラフィによるトンネル酸化膜領域のパターニングを介して形成されていた。

従って、従来のトンネル酸化膜は、第2図に示すように、ソース領域形成用の不純物イオン注入パターン10内にかつNV-DRAMの活性領域9内に位置するようにレイアウトされていた。

すなわち、従来のNV-DRAMのトンネル酸化膜のレイアウトにおいては、不純物イオン注入パターン10内に該トンネル酸化膜が含まれるように配置されるという制約があった。そして、これに加え、トンネル酸化膜の形成領域がフォトリソグラフィによって形成されるため、その大きさや幅の縮小化にも限度があり、そのため、NV-DRAMの縮小化、高集積化の障害となっていた。

この発明は、かかる状況下なされたものであり、

かかるトンネル酸化膜の形成は、(a) ゲート酸化膜を有する半導体基板上にイオン注入用意を有するイオン注入用マスクを形成する工程、(b) 上記イオン注入用意及びゲート酸化膜を通じて、該意領域下方の半導体基板表層に不純物イオンを注入する工程、(c) 上記イオン注入用意を通じてエッチングすることにより半導体基板のゲート酸化膜をエッチング除去して上記意よりも幅広の開口状の基板露出部を形成する工程、(d) 上記基板露出部を酸化処理に付すことにより、上記不純物イオン注入領域に対応する中央部が酸化されその周辺部が實質的に非酸化の選択酸化層を形成する工程、(e) 上記半導体基板を熱処理して不純物拡散領域を形成する工程、(f) 上記選択酸化層の非酸化部位を洗浄した後、当該非酸化部位を酸化処理してトンネル酸化膜を得る工程、により行うことができる。すなわち、熱酸化時に不純物ドーパされた半導体部位に酸化膜が選択的に形成される点を利用して、薄いトンネル酸化膜の形成を自己整合的に行うことにより実現できる。

NV-DRAMのさらなる縮小化、高集積化を可能とする構造を提供しようとするものである。

(ニ) 課題を解決するための手段

かくしてこの発明によれば、トンネル酸化膜及びフローティングゲートを有してなるEEPROMとこのEEPROMにリンクして構成されたDRAMを基板上に有する不揮発性半導体記憶装置からなり、隣り合うEEPROM間に選択的に形成された熱酸化膜両端に自己整合的に両EEPROMのトンネル領域が設定され、かつこのトンネル領域が上記EEPROMのソース領域形成に用いられる不純物イオン注入パターンに端部に位置してなる不揮発性ランダムアクセスメモリが提供される。

この発明は、トンネル酸化膜のレイアウトを、EEPROMのソース領域形成用の不純物イオン注入パターンの端部に自己整合的に形成するように構成することにより、上記不純物イオン注入パターンの縮小化を可能とし、それによりセルの高集積化を実現したものである。

(ホ) 作用

トンネル酸化膜が、第1図に示すごとく不純物イオン注入パターンの端部に形成されているため、トンネル領域形成用のマスクアライメント余裕をとることなく、また、となりあうEEPROMのトンネル領域を1つのパターンで形成できるため、該EEPROM間の距離を短くすることができる。そして、一つの帯状の不純物イオン注入パターンで対称にかつアレイ状に多数のNV-DRAMを形成でき、マクロ的にもNV-DRAMの集積度の向上を可能とする。さらに、トンネル酸化膜が自己整合的に形成できるため、さらなるセルサイズ縮小も可能となる。

(ヘ) 実施例

以下、図に示す実施例に従って、この発明の不揮発性ランダムアクセスメモリ及びその製法について詳説する。

第3図は、この発明の不揮発性ランダムアクセスメモリ(NV-DRAM)の一素子の構成説明図である。図に示すごとく、この発明のNV-D

RAMは、P型シリコン半導体基板1上に、トンネル酸化膜2及びフローティング3を有するFLOTOX構造のトランジスタMT (EEPROM)と、セレクトゲート4を有するトランジスタT、(DRAM)とリコールゲート5を有するトランジスタT、を形成してなる。そして、トランジスタMT及びTを覆うようにNP (ノードポイント) から電荷蓄積用のポリシリコン層8が形成され、さらにその上にコントロールゲート6が形成されてなる。なお、各ゲート及びポリシリコン層は、誘電体層及び絶縁層で隔離されており、等価回路は第7図と同じである。

ここで、トランジスタMTにおけるソース領域Sは、半導体基板1への不純物イオン注入及びその後の熱拡散により形成されたものであり、不純物イオン注入パターンは図中A-A間で示される。そして、トンネル酸化膜2は、このパターンの外側で該パターンに隣接した位置に配置されてなる。かかるトンネル酸化膜領域を含むレイアウトを第4図に示した。図中、11はビットコンタクト、

ーンH並びにゲート絶縁膜12を介してイオン注入により、基板1の表層に不純物イオン(例えば、B<sup>+</sup>イオン)が注入される。この不純物イオンは、N型でもP型でもよく基板の導電型を考慮して決定される。このようにして形成された注入部位14の幅は、パターンHの幅と略同程度である。

次いでこのパターンHを通じてまず、異方性エッチング(イオンエッチング)、続いて等方性エッチング(RIE)によってゲート酸化膜6のエッチングがなされる(第5図b)。これにより、ゲート酸化膜12には、パターンHの開口寸法よりも幅広い基板露出部15が形成される。この実施例においては、増加幅は、約0.1 $\mu$ mである。

このようにして、基板露出部15を形成した後、基板を熱酸化条件に付す。熱酸化は、例えば、低温ドライ酸化法により700℃以下の温度下で行うことができる。かかる熱酸化により、基板表面、ことに露出部に熱酸化層が形成されるが、その形成は中央の不純物ドーブ部上に選択的になされ、周辺部17上は実質的に酸化層は形成されない(第

9はNV-DRAMの活性領域を示し、トンネル酸化膜領域はこの活性領域内に位置するが、不純物イオン注入パターン10の端部に自己整合的に位置づけされている。

なお、この図においては、一つのNV-DRAMしか示していないが、この実施例においてはソース領域Sを対称として左右に同様なNV-DRAMが形成されており、さらに、不純物注入パターンは第4図の上下方向に延設され、それを中心として多数のNV-DRAMがアレイ状に配置されている。

かかるNV-DRAMの製法について第5図を参照して以下説明する。

まず、第5図aに示すごとくP型シリコン半導体基板1上にゲート酸化膜12(膜厚約300 $\mu$ m)が形成され、その上にレジスト13が形成され、このレジスト13の所定の部位に、フォトリソグラフィによって所定の大きさのイオン注入用パターンHが形成される。

次いでこのレジスト13をマスクとして、パタ

5図c)。この実施例においては、中央部には厚み約200Åの酸化層16が形成され、周辺部にはせいぜい測定限界以下(20Å以下)の酸化分子層が形成される程度である。

次いで、上記周辺部17をエッチング洗浄した後、アニーリング用の熱処理(約900℃)を行うことにより、不純物ドーブ部の不純物を熱拡散させてトンネル酸化膜領域下まで不純物が拡散された不純物拡散領域すなわちソース領域Sを形成する(第5図d)。この後、基板を再び熱酸化条件に付すことにより、第5図eに示すごとく、厚み約80Åのトンネル酸化膜2を形成する。かかる自己整合トンネル酸化膜2は、第5図bの周辺部17の幅と同程度の細幅でリソグラフィ等による従来のトンネル酸化膜に比して著しく小面積のものである。

このようにして、トンネル酸化膜2を自己整合的に形成した後、公知の方法によって、第5図fに示されるようにポリシリコンからなるフローティングゲート3、セレクトゲート4、リコールゲー

ト5並びにセレクトゲート及びリコールゲート用の拡散領域の形成等がなされる。

そして、さらに、酸化シリコンや窒化シリコン等からなる分離用誘電体膜や層間絶縁膜の形成並びに電荷蓄積用ポリシリコン層の形成、コントロールゲートの形成、メタル配線の形成等を行うことにより、第3図示すときこの発明のNV-DRAMが得られる。例えば、かかる方法により、ゲート幅 $0.6\mu\text{m}$ 、セル領域 $10.8\mu\text{m}^2$ の著しく縮小されたNV-DRAMが得られることが確認されている。

#### (ト) 発明の効果

この発明のNV-DRAMによれば、トンネル酸化膜の領域に規制されずにEEPROMの不純物注入領域を設定することができ、しかもトンネル酸化膜自体も自己整合的かつ微細に形成できる。従って、NV-DRAMのセルサイズの縮小化を実現でき、さらなる高集積化の点でその技術的価値は極めて大なるものである。

#### 4. 図面の簡単な説明

16……酸化層、17……周辺部。

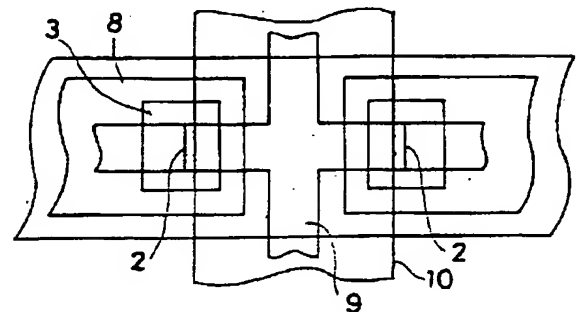
代理人 弁理士 野 河 信太郎



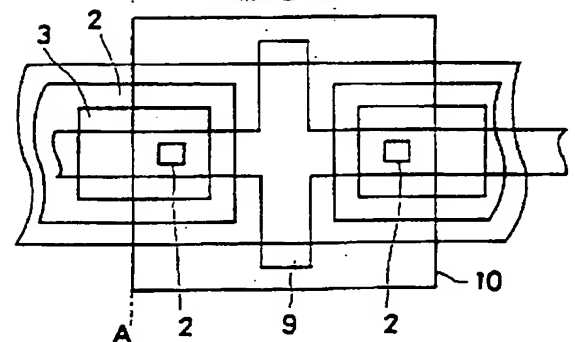
第1図はこの発明のNV-DRAMのレイアウト構成の概念図、第2図は従来のNV-DRAM第1図対応図、第3図は、この発明の一実施例のNV-DRAMの構成説明図、第4図は、同じくレイアウト図、第5図は、第3図に示したNV-DRAMの製造工程図、第6図は、従来のNV-DRAMの基本構造を示す構成説明図、第7図はNV-DRAMの等価回路図である。

- 1……P型シリコン半導体基板、
- 2, 2a……トンネル酸化膜、
- 3……フローティングゲート、
- 4……セレクトゲート、5……リコールゲート、
- 6……コントロールゲート、
- 7……ビットライン、8……ポリシリコン層、
- 9……活性領域、
- 10……不純物イオン注入パターン、
- 11……ビットコンタクト、
- 12……ゲート酸化膜、13……レジスト、
- 14……注入部位、15……基板露出部、

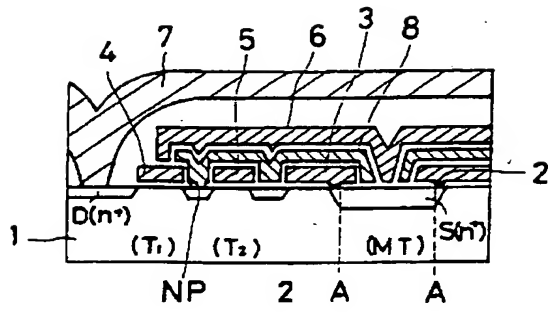
第 1 図



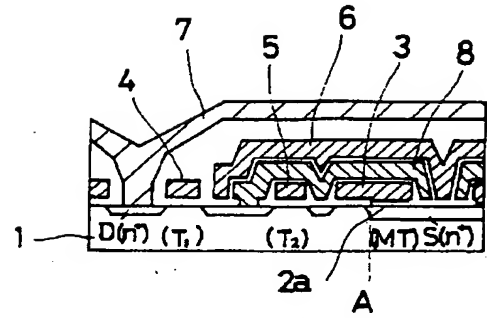
第 2 図



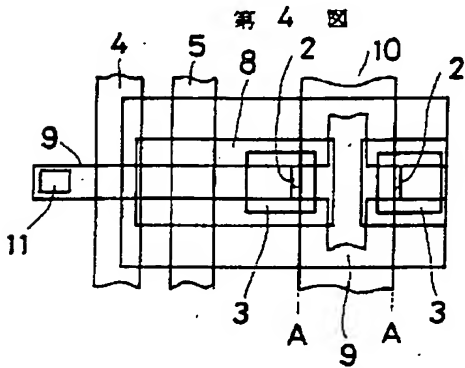
第 3 圖



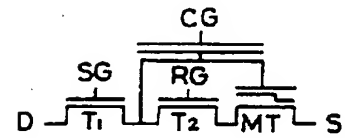
第 6 圖



第 4 圖



第 7 圖



第 5 圖

